

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: Yoshinobu TANAKA et al.

Serial Number: Not Yet Assigned

Filed: April 19, 2004

For: IMAGE PROCESSING APPARATUS

Attorney Docket No.: 042336

Customer No.: 38834

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

April 19, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2003-117784, filed on April 23, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Ken-Ichi Hattori  
Reg. No. 32,861

1250 Connecticut Avenue, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
KH/II

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                    2 0 0 3 年   4 月 2 3 日  
Date of Application:

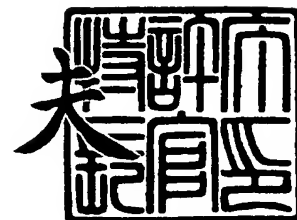
出 願 番 号                    特 願 2 0 0 3 - 1 1 7 7 8 4  
Application Number:  
[ST. 10/C] :                    [ J P 2 0 0 3 - 1 1 7 7 8 4 ]

出      願      人                    オ リ ン パ ス 株 式 会 社  
Applicant(s):

2 0 0 4 年   3 月 1 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 03P00744

【提出日】 平成15年 4月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 1/393

【発明者】

【住所又は居所】 東京都渋谷区幡ヶ谷 2丁目 4 3 番 2 号 オリンパス光学工業株式会社内

【氏名】 田中 義信

【発明者】

【住所又は居所】 東京都渋谷区幡ヶ谷 2丁目 4 3 番 2 号 オリンパス光学工業株式会社内

【氏名】 上野 晃

【特許出願人】

【識別番号】 000000376

【氏名又は名称】 オリンパス光学工業株式会社

【代表者】 菊川 剛

【代理人】

【識別番号】 100087273

【弁理士】

【氏名又は名称】 最上 健治

【手数料の表示】

【予納台帳番号】 063946

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9105079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】  $N \times M$  ( $N$ ,  $M$  は 2 以上の自然数) 画素を 1 ブロックにして複数のブロックで構成される画像データを、ブロック単位に処理する画像処理装置において、前記画像データを第 1 の方向にリサイズ処理する第 1 のリサイズ手段と、該第 1 のリサイズ手段から出力された画像データのうち少なくとも第 1 の方向に 1 ライン分の画像データを格納可能なライン記憶手段と、前記第 1 のリサイズ手段から出力された画像データを第 1 の方向を横切る第 2 の方向にリサイズ処理する第 2 のリサイズ手段とを備え、該第 2 のリサイズ手段は、隣接ブロックの画像データを前記ライン記憶手段から取得するように構成されていることを特徴とする画像処理装置。

【請求項 2】 圧縮符号化された画像データをブロック単位で復号化する復号化手段を備え、該復号化手段で復号化された画像データをリサイズ処理することを特徴とする請求項 1 に係る画像処理装置。

【請求項 3】 画像データをブロック単位で圧縮符号化する符号化手段を備え、リサイズ処理した画像データを前記符号化手段で圧縮符号化することを特徴とする請求項 1 に係る画像処理装置。

【請求項 4】 前記第 1 のリサイズ手段は、前記画像データを第 1 の方向の間引きによりリサイズ処理を行うことを特徴とする請求項 1 に係る画像処理装置。

【請求項 5】 前記第 1 のリサイズ手段は、前記画像データを第 1 の方向の加算平均によりリサイズ処理を行うことを特徴とする請求項 1 に係る画像処理装置。

【請求項 6】 前記  $N \times M$  画素のブロックのうち、少なくとも第 2 の方向のブロック画素数の画像データを格納可能な画素記憶手段を備え、前記第 1 のリサイズ手段は、隣接ブロックの画像データを前記画素記憶手段から取得するように構成されていることを特徴とする請求項 1 に係る画像処理装置。

【請求項7】 前記画素記憶手段は、 $N \times M$ 画素のブロックのうち第2の方向のブロック画素数の画像データを格納可能であり、前記第1のリサイズ手段は第1の方向の2点補間によりリサイズ処理を行うことを特徴とする請求項6に係る画像処理装置。

【請求項8】 前記画素記憶手段は、 $N \times M$ 画素のブロックのうち第2の方向のブロック画素数の3倍の画像データを格納可能であり、前記第1のリサイズ手段は第1の方向の4点補間によりリサイズ処理を行うことを特徴とする請求項6に係る画像処理装置。

【請求項9】 前記ライン記憶手段は、前記第1のリサイズ手段でリサイズ処理された画像データのうち、第1の方向に1ライン分の画像データを格納可能であり、前記第2のリサイズ手段は、第2の方向の2点補間によりリサイズ処理を行うことを特徴とする請求項1に係る画像処理装置。

【請求項10】 前記ライン記憶手段は、前記第1のリサイズ手段でリサイズ処理された画像データのうち、第1の方向に3ライン分の画像データを格納可能であり、前記第2のリサイズ手段は、第2の方向の4点補間によりリサイズ処理を行うことを特徴とする請求項1に係る画像処理装置。

【請求項11】 前記画像処理装置は、第1の方向のリサイズ処理をスルーさせることが可能な第1のリサイズスルー手段を備えていることを特徴とする請求項1に係る画像処理装置。

【請求項12】 前記画像処理装置は、第2の方向のリサイズ処理をスルーさせることが可能な第2のリサイズスルー手段を備えていることを特徴とする請求項1又は11に係る画像処理装置。

【請求項13】 前記ライン記憶手段は、外部表示装置の表示領域に対応した容量を有することを特徴とする請求項1に係る画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、 $N \times M$  ( $N$ ,  $M$ は2以上の自然数) 画素を1ブロックにして、複数のブロックで構成される画像データを、ブロック単位にリサイズ処理する画像

処理装置に関し、特に符号化・復号化の前後でリサイズ処理するようにした画像処理装置に関する。

#### 【0002】

#### 【従来の技術】

【特許文献1】 特開平11-53532号公報

#### 【0003】

画像データを効率よく符号化・復号化する手法に、J P E G (Joint Photographic Experts Group) 方式やM P E G (Movinc Picture Experts Group) 方式等があり、一般によく使われている。J P E G方式やM P E G方式では、ブロックを単位にして、様々な処理が行われている。図11は、画像とブロックの関係を示す図であり、 $A \times B$ 画素で構成されている1枚の画像は、 $8 \times 8$ 画素のブロック単位に分割され、各々のブロック単位で、直交変換や逆直交変換等の処理が行われている。

#### 【0004】

このようなブロック単位の処理は、J P E G方式やM P E G方式のような画像データの符号化処理や復号化処理には適しているものの、画像の拡大や縮小等のリサイズ処理には適していない。

#### 【0005】

次に、図12の(A)及び図12の(B)を用いて、ブロック単位のリサイズ処理に関して説明する。図12の(A)は、 $8 \times 8$ 画素で構成されるブロックを示した図であり、図12の(B)は $8 \times 8$ 画素で構成されるブロックのうち、ブロック周辺部(点線円)を拡大したものである。101~104 はリサイズ処理前の入力画素であり、そのうち画素101 及び102 はブロック(I, J-1)内に、画素103 及び104 はブロック(I, J)内に位置する。105 はリサイズ処理後の出力画素であり、ブロック(I, J)内に位置する。出力画素105 は、入力画素 101~104 より補間演算によって求められる。このように、ブロック周辺部のリサイズ演算には、複数のブロックの画素情報が必要となる。

#### 【0006】

そこで、一般的には、符号化処理や復号化処理ではブロック単位で処理するも

の、リサイズ時には1画面単位でリサイズ処理する手法が多く用いられている。図13は、1画面単位でリサイズ処理することを特徴とする従来の画像処理装置の構成を示すブロック図である。J P E Gデコーダ111は、J P E G符号を復号化し、8×8サイズのブロック単位で画像データを出力する。出力された画像データは、メモリコントローラ113を経由して、1画面の画像データを格納可能なメモリ114に格納される。リサイズ回路112は、メモリコントローラ113経由でメモリ114より、画像データを取得する。リサイズ回路112は、1画面単位でリサイズ処理を行い、リサイズ処理後の画像データは再びメモリコントローラ113経由でメモリ114に格納される。以上の手法によると、J P E G復号化した画像データを一旦メモリ114に格納して、1画面の画像に復元した後にリサイズ処理することができる。

#### 【0007】

一方、ブロック単位のリサイズ処理に関しても、従来から提案がなされており、例えば、特開平11-53532号公報に開示がなされている。図14は、ブロック単位でリサイズすることを特徴とする従来の画像処理装置の構成例を示すブロック図である。J P E Gデコーダ121は、J P E G符号を復号化し、8×8サイズのブロック単位で画像データを出力する。J P E Gデコーダ121で復号化された画像データのうち、ブロックの最下ラインの画像データは、1ライン分の容量を有するラインメモリ122に格納される。また、ブロックの最右列の画像データは、8画素分の容量を有するバッファ123に格納される。リサイズ回路124は、隣接ブロックの画像データをラインメモリ122及びバッファ123より取得してリサイズ処理を行う。リサイズ回路124でリサイズ処理された画像データは、メモリコントローラ125経由でメモリ126にライトされる。

#### 【0008】

図15は、上記従来例の隣接ブロックデータ取得手法に関する説明図である。現在処理中のブロックが、ブロック(I, J)とすると、上に隣接するブロック(I, J-1)の最下ラインの画素データをラインメモリ122より取得し、左に隣接するブロック(I-1, J)の最右列の画素データをバッファ123より取得する。このような従来技術によると、ラインメモリ122とバッファ123から、隣接ブロ



ックの画像情報を取得してリサイズ処理するので、ブロック単位でのリサイズ処理が可能となる。

#### 【0009】

##### 【発明が解決しようとする課題】

以上説明した従来例のうち、ブロック単位で復号化された画像データを一旦メモリに格納し、1画面単位でリサイズ処理する手法は、メモリのアクセス効率が悪く、処理時間がかかるという問題を有する。一方、ブロック単位でリサイズ処理する手法によると、メモリのアクセス効率が良く、高速処理が可能である。しかしながら、図14に示すような構成の従来例では、入力データのうちブロック最下ラインのデータを格納するために、ラインメモリの容量が大きいという問題点がある。

#### 【0010】

本発明は、従来の画像データのリサイズ処理における上記問題点を解消するためになされたものであり、従来技術と比較してラインメモリの容量を削減することの可能な、ブロック単位でリサイズ処理する画像処理装置を提供することを目的とする。

#### 【0011】

##### 【課題を解決するための手段】

上記問題点を解決するため、請求項1に係る発明は、 $N \times M$  ( $N$ ,  $M$ は2以上の自然数)画素を1ブロックにして複数のブロックで構成される画像データを、ブロック単位に処理する画像処理装置において、前記画像データを第1の方向にリサイズ処理する第1のリサイズ手段と、該第1のリサイズ手段から出力された画像データのうち少なくとも第1の方向に1ライン分の画像データを格納可能なライン記憶手段と、前記第1のリサイズ手段から出力された画像データを第1の方向を横切る第2の方向にリサイズ処理する第2のリサイズ手段とを備え、該第2のリサイズ手段は、隣接ブロックの画像データを前記ライン記憶手段から取得するように構成されていることを特徴とするものである。

#### 【0012】

この請求項1に係る発明に関する実施の形態には、第1～第4の実施の形態が

対応する。そして、上記のように構成された画像処理装置においては、ブロック単位の画像データを第1のリサイズ手段で第1の方向にリサイズ処理した後の画像データを、ライン記憶手段に格納し、第2のリサイズ手段は、第1のリサイズ手段からの出力データ及びライン記憶手段に格納されている隣接ブロックの画像データを使用して、第2の方向のリサイズ処理を行う。これにより、画像データをブロック単位にリサイズ処理することができ、且つ第1の方向にリサイズ処理した後の画像データをライン記憶手段に格納するようにしているため、小さい容量のライン記憶手段でリサイズ処理を行うことができる。

#### 【0013】

請求項2に係る発明は、請求項1に係る画像処理装置において、圧縮符号化された画像データをブロック単位で復号化する復号化手段を備え、該復号化手段で復号化された画像データをリサイズ処理することを特徴とするものである。

#### 【0014】

この請求項2に係る発明に関する実施の形態には、第1～第3の実施の形態が対応する。そして、上記のように構成された画像処理装置においては、本発明に係る画像処理装置は画像データをブロック単位でリサイズ処理するものであるから、圧縮符号化された画像データをブロック単位に復号化する復号化手段を備えている場合、復号化手段でブロック単位に復号化された画像データを、そのままブロック単位でリサイズ処理することができる。

#### 【0015】

請求項3に係る発明は、請求項1に係る画像処理装置において、画像データをブロック単位で圧縮符号化する符号化手段を備え、リサイズ処理した画像データを前記符号化手段で圧縮符号化することを特徴とするものである。

#### 【0016】

この請求項3に係る発明に関する実施の形態には、第4の実施の形態が対応する。そして、上記のように構成された画像処理装置においては、本発明に係る画像処理装置は画像データをブロック単位でリサイズ処理するものであるから、画像データをブロック単位に符号化する符号化手段を備えている場合、ブロック単位でリサイズ処理した画像データを、そのままブロック単位で符号化することが

できる。

**【0017】**

請求項4に係る発明は、請求項1に係る画像処理装置において、前記第1のリサイズ手段は、前記画像データを第1の方向の間引きによりリサイズ処理を行うことを特徴とするものである。

**【0018】**

この請求項4に係る発明に関する実施の形態には、第1の実施の形態が対応する。そして、このように構成された画像処理装置においては、第1のリサイズ手段は、間引きによって第1の方向にリサイズ処理するように構成されているので、簡単な構成で第1の方向のリサイズ処理を実行することができる。

**【0019】**

請求項5に係る発明は、請求項1に係る画像処理装置において、前記第1のリサイズ手段は、前記画像データを第1の方向の加算平均によりリサイズ処理を行うことを特徴とするものである。

**【0020】**

この請求項5に係る発明に関する実施の形態には、第1の実施の形態が対応する。そして、このように構成された画像処理装置においては、第1のリサイズ手段は、加算平均によって第1の方向にリサイズ処理するように構成されているので、簡単な構成で第1の方向のリサイズ処理を実行することができる。

**【0021】**

請求項6に係る発明は、請求項1に係る画像処理装置において、前記N×M画素のブロックのうち、少なくとも第2の方向のブロック画素数の画像データを格納可能な画素記憶手段を備え、前記第1のリサイズ手段は、隣接ブロックの画像データを前記画素記憶手段から取得するように構成されていることを特徴とするものである。

**【0022】**

この請求項6に係る発明に関する実施の形態には、第2～第4の実施の形態が対応する。そして、このように構成された画像処理装置においては、第2の方向のブロック画素数の画像データを格納する画素記憶手段を備え、第1のリサイズ

手段は隣接ブロックの画像データを画素記憶手段から取得するようになっているので、隣接ブロックの画像データを第1の方向にリサイズ処理に使用でき、より高度なリサイズ処理ができる。

#### 【0023】

請求項7に係る発明は、請求項6に係る画像処理装置において、前記画素記憶手段は、 $N \times M$ 画素のブロックのうち第2の方向のブロック画素数の画像データを格納可能であり、前記第1のリサイズ手段は第1の方向の2点補間によりリサイズ処理を行うことを特徴とするものである。

#### 【0024】

この請求項7に係る発明に関する実施の形態には、第2～第4の実施の形態が対応する。そして、このように構成された画像処理装置においては、1列分の画素記憶手段を備え、隣接するブロックの1列分のデータを格納することができ、第1のリサイズ手段は2点補間によるリサイズ処理が可能となる。

#### 【0025】

請求項8に係る発明は、請求項6に係る画像処理装置において、前記画素記憶手段は、 $N \times M$ 画素のブロックのうち第2の方向のブロック画素数の3倍の画像データを格納可能であり、前記第1のリサイズ手段は第1の方向の4点補間によりリサイズ処理を行うことを特徴とするものである。

#### 【0026】

この請求項8に係る発明に関する実施の形態には、第2及び第3の実施の形態が対応する。そして、このように構成された画像処理装置においては、3列分の画素記憶手段を備え、隣接ブロックの3列分のデータを格納することができ、第1のリサイズ手段は4点補間によるリサイズ処理が可能となる。

#### 【0027】

請求項9に係る発明は、請求項1に係る画像処理装置において、前記ライン記憶手段は、前記第1のリサイズ手段でリサイズ処理された画像データのうち、第1の方向に1ライン分の画像データを格納可能であり、前記第2のリサイズ手段は、第2の方向の2点補間によるリサイズ処理を行うことを特徴とするものである。

## 【0028】

この請求項9に係る発明に関する実施の形態には、第1及び第4の実施の形態が対応する。そして、このように構成された画像処理装置においては、1ライン分のライン記憶手段を備え、隣接ブロックの1ライン分のデータを格納することができ、第2のリサイズ手段は2点補間によりリサイズ処理が可能となる。

## 【0029】

請求項10に係る発明は、請求項1に係る画像処理装置において、前記ライン記憶手段は、前記第1のリサイズ手段でリサイズ処理された画像データのうち、第1の方向に3ライン分の画像データを格納可能であり、前記第2のリサイズ手段は、第2の方向の4点補間によりリサイズ処理を行うことを特徴とするものである。

## 【0030】

この請求項10に係る発明に関する実施の形態には、第2及び第3の実施の形態が対応する。そして、このように構成された画像処理装置においては、3ライン分のライン記憶手段を備え、隣接ブロックの3ライン分のデータを格納させることができ、第2のリサイズ手段は4点補間によるリサイズ処理が可能となる。

## 【0031】

請求項11に係る発明は、請求項1に係る画像処理装置において、前記画像処理装置は、第1の方向のリサイズ処理をスルーさせることが可能な第1のリサイズスルー手段を備えていることを特徴とするものである。

## 【0032】

この請求項11に係る発明に関する実施の形態には、第1の実施の形態が対応する。そして、このように構成された画像処理装置においては、第1の方向のリサイズ処理をスルーさせることの可能な第1のリサイズスルー手段を備えており、第1の方向のリサイズ処理を選択的にスルーさせることができる。

## 【0033】

請求項12に係る発明は、請求項1又は11に係る画像処理装置において、前記画像処理装置は、第2の方向のリサイズ処理をスルーさせることが可能な第2のリサイズスルー手段を備えていることを特徴とするものである。

**【 0 0 3 4 】**

この請求項12に係る発明に関する実施の形態には、第1の実施の形態が対応する。そして、このように構成された画像処理装置においては、第2の方向のリサイズ処理をスルーさせることの可能な第2のリサイズスルー手段を備えており、第2の方向のリサイズ処理を選択的にスルーさせることができる。

**【 0 0 3 5 】**

請求項13に係る発明は、請求項1に係る画像処理装置において、前記ライン記憶手段は、外部表示装置の表示領域に対応した容量を有することを特徴とするものである。

**【 0 0 3 6 】**

この請求項13に係る発明に関する実施の形態には、第3の実施の形態が対応する。そして、このように構成された画像処理装置においては、ライン記憶手段は、外部表示装置の表示領域に対応した容量を有するようにしているので、どのような拡大率や縮小率であっても、ライン記憶手段を効率よく使用することができる。

**【 0 0 3 7 】****【発明の実施の形態】****(第1の実施の形態)**

次に、実施の形態について説明する。図1は、本発明に係る画像処理装置の第1の実施の形態の構成を示すブロック図である。図1において、1はMPEG符号データを復号化して、8×8画素サイズのブロック単位で、画像データを出力するMPEGデコーダ、2は該MPEGデコーダ1からブロック単位に出力された画像データを、水平方向にリサイズ処理する水平リサイズ回路、3は該水平リサイズ回路2からの出力データのうち、ブロックの最下ラインの画素データを格納する1ライン分の容量を有するラインメモリ、4は前記水平リサイズ回路2からの出力データ及び前記ラインメモリ3に格納されている画像データを用いて、垂直方向にリサイズ処理する垂直リサイズ回路、5はメモリコントローラ、6はメモリを示している。

**【 0 0 3 8 】**

図2は、本実施の形態における、リサイズ処理態様の一例を示す説明図である。以下の説明では、MPEGデコーダ1からの出力画像サイズを1440×1080画素、最終的に得たい画像サイズを 720×480 画素として説明を行う。

#### 【0039】

次に、図1に基づいて、本実施の形態の動作に関して説明する。MPEGデコーダ1は、MPEG符号データをデコードし、ブロック単位で画像データを出力する。水平リサイズ回路2は、MPEGデコーダ1から出力された画像データを水平方向にリサイズ処理する。このとき、図2に示したように、MPEGデコーダ1からの出力画像サイズを1440×1080画素、最終的に得たい画像サイズを 720×480 とすると、水平リサイズ回路2からの出力画像サイズは、 720×1080画素となる。水平リサイズ手法には、例えば、図3の(A)に示すような隣接する数画素の平均を出力する手法（加算平均）や、図3の(B)に示すような単純に画素を間引く手法（単純間引き・挿入）がある。

#### 【0040】

水平リサイズ回路2でリサイズ処理後の画像データのうち、ブロックの最下ラインのデータは、ラインメモリ3に格納される。このとき、水平方向のリサイズ処理後の画素数は 720画素なので、ラインメモリ3は、 720画素データを格納できる容量を持つものとする。

#### 【0041】

垂直リサイズ回路4は、水平リサイズ回路2で 720×1080画素サイズにリサイズ処理された画像データを、 720×480 画素サイズに垂直リサイズ処理する。垂直リサイズ手法には、例えば、図3の(C)に示すような2点補間による手法がある。ブロックの周辺部のように、隣接するブロックの画素情報が必要な場合は、ラインメモリ3に格納されているデータを利用して垂直リサイズ処理を行う。なお、リサイズ方式には、他に図3の(D)に示す4点補間による処理方式があるが、これについては、後述する。垂直リサイズ回路4でリサイズ処理された画像データは、メモリコントローラ5経由でメモリ6に格納される。

#### 【0042】

以上の処理により、MPEGデコーダ1からの1440×1080サイズの画像データ

を、ブロック単位にリサイズ処理して、 $720 \times 480$  サイズの画像データを得ることができる。先に示した従来例によると、入力データをラインメモリに格納していたため、ラインメモリの容量は1440画素分必要であったが、本実施の形態によると、水平リサイズ処理後にラインメモリに格納するため、ラインメモリ容量は720画素分でよい。

#### 【0043】

図4の(A)、(B)は、本実施の形態における水平リサイズ処理前後のブロックサイズを示す図であり、図4の(A)はMPEGデコーダ1が出力するブロックサイズを、図4の(B)は水平リサイズ回路2が出力するブロックサイズを示す。図4の(A)に示すように、MPEGデコーダ1では $8 \times 8$ 画素をブロックとして取り扱うが、水平リサイズ回路2でリサイズ処理することにより、図4の(B)に示すように、ブロックサイズは $4 \times 8$ 画素に変更され、そのうち最下ラインのデータがラインメモリ3に格納されることを示している。なお、水平リサイズ処理後のブロックサイズは $8 \times 8$ のままで、水平方向のブロック数を半分にしてもよい。

#### 【0044】

図5は、本実施の形態の変形例を示すブロック図である。図5において、水平リサイズ回路2は水平リサイズ処理を行う演算器7の他に選択回路8を備え、垂直リサイズ回路4は垂直リサイズ処理を行う演算器9の他に選択回路10を備えている。その他の構成は、図1と同様である。このように構成された変形例では、水平リサイズ回路2及び垂直リサイズ回路4では、選択回路8、10によって、どちらか一方又は両方のリサイズ機能をスルーさせることができる。

#### 【0045】

本実施の形態によると、画像データをブロック単位でリサイズ処理することができ、水平方向にリサイズ処理した後の画像データをラインメモリに格納するため、従来例と比較して小さいラインメモリ容量でリサイズ処理を実現することができる。また、リサイズ回路を水平方向と垂直方向で分割しているため、水平方向と垂直方向とで、縮小率あるいは拡大率や、リサイズ手法が異なる場合への対応が容易となる。



## 【0046】

## (第2の実施の形態)

図6は、本発明の第2の実施の形態に係る画像処理装置の構成を示すブロック図である。図6において、11はJ P E G符号データを復号化して8×8画素サイズのブロック単位に画像データを出力するJ P E Gデコーダ、12～14は該J P E Gデコーダ11からブロック単位に出力された画像データを格納する8画素分の容量を持つバッファ、15は前記J P E Gデコーダ11からの出力データ及び前記バッファ12～14に格納されているデータを用いて、水平方向にリサイズ処理する水平リサイズ回路、16～18は該水平リサイズ回路15の出力データをライン単位で格納する1ライン分の容量を持つラインメモリ、19は前記水平リサイズ回路15の出力データ及び前記ラインメモリ16～18に格納されているデータを用いて、垂直方向にリサイズ処理する垂直リサイズ回路、20はメモリコントローラ、21はメモリを示している。

## 【0047】

次に、このように構成されている第2の実施の形態における水平リサイズ手法に関して説明する。第1の実施の形態では、水平リサイズ方式は、図3の(A)に示す加算平均方式、又は図3の(B)に示す単純間引き挿入方式であり、水平隣接ブロックの画素情報を取得するためのバッファは不要である。本実施の形態では、水平リサイズ方式は、図3の(D)に示す4点補間方式を用いており、水平隣接ブロックの画素情報を取得するためのバッファ12～14を備えている。

## 【0048】

図7は、本実施の形態におけるバッファ12～14への格納方法を示す説明図である。J P E Gデコーダ11からブロック単位に出力された画像データのうち、8×8画素のブロック内で最右列の8画素がバッファ12に、右から2番目の列の8画素がバッファ13に、右から3番目の列の8画素がバッファ14に、それぞれ格納される。4点補間方式の水平リサイズ処理には4画素分の情報が必要であるが、ブロック周辺部では、最大3画素分の情報を隣接ブロックから取得する必要がある。水平リサイズ回路15は、必要に応じてバッファ12～14より画素情報を取得し、水平リサイズ処理を行う。なお、水平リサイズ回路15でのリサイズ方式に、図3

の（C）に示すような2点補間方式を適用する場合は、図6に示した本実施の形態においてバッファ13及びバッファ14を取り除いた構成としてもよい。

#### 【0049】

次に、垂直リサイズ手法に関して説明する。第1の実施の形態では、垂直リサイズ方式は、図3の（C）に示す2点補間方式を用いており、ラインメモリは1つである。本実施の形態では、垂直リサイズ方式は図3の（D）に示す4点補間方式を用いており、ラインメモリはラインメモリ16～ラインメモリ18の合計3つとなっている。水平リサイズ回路15の出力データのうち、ブロックの最下ラインの画素データはラインメモリ16に、下から2番目のラインの画素データはラインメモリ17に、下から3番目のラインの画素データはラインメモリ18にそれぞれ格納される。垂直リサイズ回路19は、必要に応じてラインメモリ16～18より画素情報を取得することにより、4点補間方式による垂直リサイズ処理が可能となる。

#### 【0050】

本実施の形態によると、第1の実施の形態と比較して、隣接ブロックの情報を取得するためのバッファ及びラインメモリを増設した構成となっている。このため、第1の実施の形態と比較して高度な水平リサイズ方式及び垂直リサイズ方式を適用することができ、高画質な出力画像を得ることができる。また、本発明によると、従来例と比較してラインメモリの容量を節約することができるので、本実施の形態のようにラインメモリの本数を増設した場合でも、従来例に比べて回路規模の増加を抑えることができる。

#### 【0051】

（第3の実施の形態）

図8は、本発明の第3の実施の形態に係る画像処理装置の構成を示すブロック図である。この実施の形態は、ビデオエンコーダ22を設けた以外の構成は、第2の実施の形態と同様であるので、その説明を省略する。ビデオエンコーダ22は、メモリ21に格納されているリサイズ処理後の画像データを、メモリコントローラ20経由で取得し、外部画像表示装置にデータを出力するものである。なお、本実施の形態におけるラインメモリ16～18は、外部画像表示装置の有効領域に対応した容量を有することを特徴としている。例えば、外部画像表示装置の有効領域の

大きさを  $720 \times 480$  とすると、ラインメモリ16~18はそれぞれ 720画素分の容量を持つものとする。

#### 【 0 0 5 2 】

次に、 $2048 \times 1536$ 画素サイズの画像を  $720 \times 480$  画素に縮小する場合と、 $320 \times 240$  画素サイズの画像を  $720 \times 480$  画素に拡大する場合について説明する。J P E G デコーダ11で復号化された画素サイズが $2048 \times 1536$ の場合、水平リサイズ回路15は縮小処理を施して、 $720 \times 1536$ サイズの画像データを出力する。ラインメモリ16~18には、それぞれ 720画素の画像データが格納され、垂直リサイズ回路19で  $720 \times 480$  サイズの画像データが得られる。

#### 【 0 0 5 3 】

一方、J P E G デコーダ11で復号化された画素サイズが  $320 \times 240$  の場合、水平リサイズ回路15は拡大処理を施して、 $720 \times 240$  サイズの画像データを出力する。ラインメモリ16~18には、それぞれ 720画素の画像データが格納され、垂直リサイズ回路19で  $720 \times 480$  サイズの画像データが得られる。

#### 【 0 0 5 4 】

以上のように、外部画像表示装置の有効領域が  $720 \times 480$  の場合、水平リサイズ処理後の画像の横幅は 720画素となるので、ラインメモリ16~18は 720画素を格納できる容量を持てばよいことがわかる。

#### 【 0 0 5 5 】

本実施の形態によると、外部表示装置の表示領域に対応してラインメモリの容量を決定するので、どのような拡大率あるいは縮小率のリサイズ処理であっても、ラインメモリを効率よく活用することができる。

#### 【 0 0 5 6 】

(第 4 の実施の形態)

図 9 は、本発明の第 4 の実施の形態に係る画像処理装置の構成を示すブロック図である。図 9 において、31はブロック単位で入力される画像データのうち、ブロックの垂直方向画素分の容量を有するバッファ、32は前記ブロック単位で入力される画像データを、水平方向にリサイズ処理する水平リサイズ回路、33は該水平リサイズ回路32の出力データのうち、最下ラインのデータを格納する 1 ライン

分の容量を有するラインメモリ、34は前記水平リサイズ回路32の出力データを垂直方向にリサイズ処理する垂直リサイズ回路、35は垂直リサイズ回路34の出力データをJ P E G符号化するJ P E Gエンコーダ、36はメモリコントローラ、37はメモリを示している。

#### 【0057】

本実施の形態においては、 $720 \times 480$ 画素の入力画像を $352 \times 288$ 画素に縮小し、その後J P E G符号化する例に関して説明する。なお、J P E G符号化は $8 \times 8$ 画素のブロック単位で行うものとする。

#### 【0058】

次に、本実施の形態における動作に関して説明する。メモリ37に格納されている画像データは、メモリコントローラ36を介して、バッファ31及び水平リサイズ回路32に入力される。このとき、メモリ37からの画像のリードは $N \times M$ 画素のブロック単位で行われるが、水平方向の画素数 $N$ 及び垂直方向の画素数 $M$ は画像の拡大率あるいは縮小率より決定され、この場合、例えば $N$ は16又は17、 $M$ は13又は14とする。

#### 【0059】

バッファ31には、メモリ37からブロック単位でリードされたデータのうち、 $N \times M$ 画素の最右列の画素が格納される。本実施の形態の入力ブロックサイズは最大 $17 \times 14$ 画素なので、バッファ31は14画素分の容量を持つ。水平リサイズ回路32は、 $N \times M$ 画素のブロックを水平方向にリサイズ処理して、 $8 \times M$ 画素のブロックを生成する。このとき、隣接ブロックの情報はバッファ31より取得し、2点補間演算によって水平リサイズ処理を実現する。

#### 【0060】

水平リサイズ回路32で出力されたデータのうち、ブロックの最下ラインの画素情報はラインメモリ33に格納される。ラインメモリ33は352画素分の容量を有する。垂直リサイズ回路34は、水平リサイズ回路32の出力データ及びラインメモリ33に格納されているデータを用いて、2点補間演算により、垂直リサイズ処理を実施する。垂直リサイズ回路34に入力されるブロックサイズは $8 \times M$ 画素であり、出力ブロックサイズは $8 \times 8$ 画素となる。垂直リサイズ回路34から出力された

画像データは、J P E G エンコーダ35にて J P E G 符号化処理が施され、メモリコントローラ36経由でメモリ37に格納される。

#### 【0061】

第1～第3の実施の形態では、復号化後にリサイズ処理する手法について説明したが、本実施の形態によると、ブロック単位でリサイズ処理した後に符号化することも可能である。また、第1及び第2の実施の形態と同様に、第1の方向にリサイズ処理した後の画像データをラインメモリに格納するようにしているため、従来例と比較して小さいラインメモリ容量で、リサイズ処理を実現することができる。

#### 【0062】

図10は、ブロック単位でのデータ出力値の例を示す図である。以上説明した第1～第4の実施の形態におけるデータ出力順は、例えば、図10の（A）、図10の（B）及び図10の（C）のどのデータ出力順にも対応可能である。また、ブロックサイズに関しても、当然8×8画素サイズに限定されるものではなく、例えば図10の（D）に示すように、8×8画素サイズのブロックを複数個（図示例では4個）集めた16×16サイズのマクロブロックを単位として、処理を行うことも可能である。

#### 【0063】

また、上記第1～第4の実施の形態における説明においては、J P E G 及び M P E G に適用した例に関して説明したが、それぞれの実施の形態における画像圧縮伸長方法は、特に限定されるものではなく、J P E G や M P E G や H 2 6 1 やその他の画像圧縮伸長方法であってもよい。

#### 【0064】

#### 【発明の効果】

以上実施の形態に基づいて説明したように、請求項1に係る発明によれば、画像データをブロック単位でリサイズ処理することができ、且つ第1の方向にリサイズ処理した後の画像データをライン記憶手段に格納するようにしているため、小さい容量のライン記憶手段でリサイズ処理を行うことができる。また請求項2に係る発明によれば、画像データをブロック単位でリサイズ処理するものなので

、復号化手段でブロック単位に復号化された画像データを、そのままブロック単位でリサイズ処理することができる。また請求項3に係る発明によれば、画像データがブロック単位で処理されているので、ブロック単位でリサイズ処理された画像データを、そのままブロック単位で符号化することができる。また請求項4及び5に係る発明によれば、第1のリサイズ手段は、間引き又は加算平均によって第1の方向にリサイズ処理するようにしているので、簡単な構成で、第1の方向のリサイズ処理を実行することができる。また請求項6に係る発明によれば、隣接ブロックの画像データを第1の方向のリサイズ処理に使用でき、より高度なリサイズ処理ができる。

#### 【0065】

また請求項7に係る発明によれば、1列分の画素記憶手段を備え、隣接するブロックの1列分のデータを格納できるので、第1のリサイズ手段は2点補間によるリサイズ処理が可能となる。また請求項8に係る発明によれば、3列分の画素記憶手段を備え、隣接するブロックの3列分のデータを格納できるので、第1のリサイズ手段は4点補間によるリサイズ処理が可能となる。また請求項9に係る発明によれば、1ライン分のライン記憶手段を備え、隣接ブロックの1ライン分のデータを格納できるので、第2のリサイズ手段は2点補間が可能となる。また請求項10に係る発明によれば、3ライン分のライン記憶手段を備え、隣接ブロックの3ライン分のデータを格納できるので、第2のリサイズ手段は4点補間が可能となる。また請求項11に係る発明によれば、第1のリサイズスルー手段を備えているので、第1の方向のリサイズ処理を選択的にスルーさせることができる。また請求項12に係る発明によれば、第2のリサイズスルー手段を備えているので、第2の方向のリサイズ処理を選択的にスルーさせることができる。また請求項13に係る発明によれば、ライン記憶手段は、外部表示装置の表示領域に対応した容量を有するように構成しているので、どのような拡大率や縮小率であっても、ライン記憶手段を効率よく使用することができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明に係る画像処理装置の第1の実施の形態を示すブロック図である。

**【図 2】**

リサイズ処理態様の一例を示す図である。

**【図 3】**

リサイズ処理手法を示す説明図である。

**【図 4】**

図 1 に示した第 1 の実施の形態における水平リサイズ処理前後のブロックサイズを示す図である。

**【図 5】**

図 1 に示した第 1 の実施の形態の変形例を示すブロック図である。

**【図 6】**

本発明の第 2 の実施の形態に係る画像処理装置を示すブロック図である。

**【図 7】**

図 6 に示した第 2 の実施の形態におけるバッファへの格納態様を示す説明図である。

**【図 8】**

本発明の第 3 の実施の形態に係る画像処理装置を示すブロック図である。

**【図 9】**

本発明の第 4 の実施の形態に係る画像処理装置を示すブロック図である。

**【図10】**

本発明の各実施の形態におけるブロック単位でのデータ出力順、及びブロックサイズの他の例を示す図である。

**【図11】**

画像とブロック単位との関係を示す図である。

**【図12】**

8 × 8 画素で構成されるブロック及びブロック周辺部を拡大して示す図である。

**【図13】**

従来の 1 画面単位でリサイズ処理を行う画像処理装置の構成例を示すブロック図である。

**【図14】**

従来のブロック単位でリサイズ処理を行う画像処理装置の構成例を示すブロック図である。

**【図15】**

図14に示した従来例における隣接ブロックデータを取得する手法を示す説明図である。

**【符号の説明】**

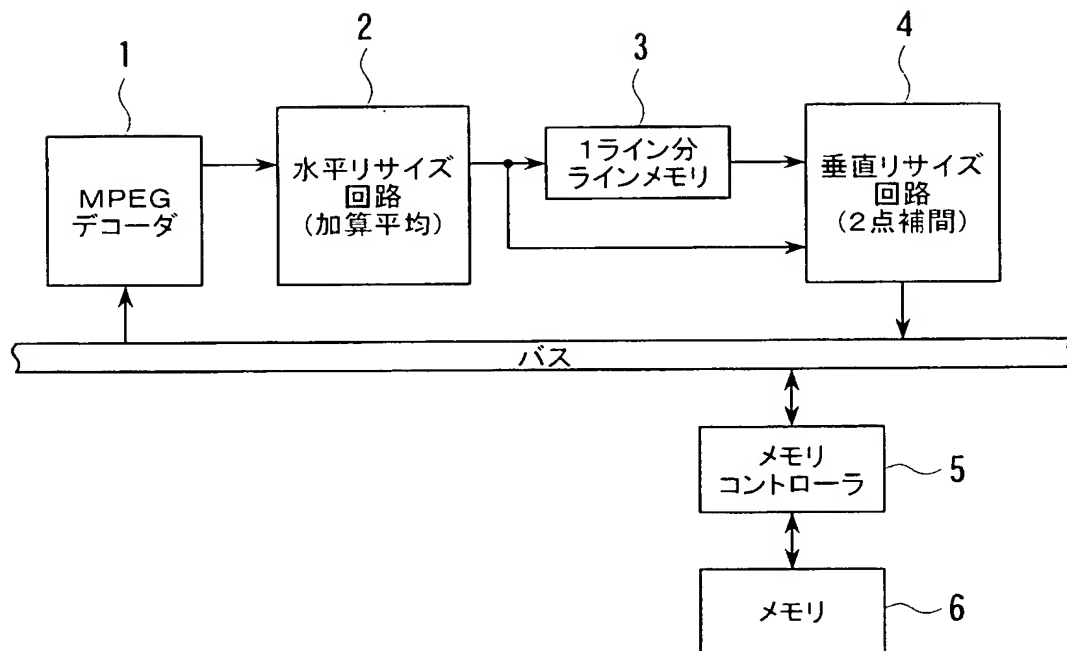
- 1    M P E G デコーダ
- 2    水平リサイズ回路
- 3    ラインメモリ
- 4    垂直リサイズ回路
- 5    メモリコントローラ
- 6    メモリ
- 7    演算器
- 8    選択回路
- 9    演算器
- 10   選択回路
- 11   J P E G デコーダ
- 12, 13, 14   バッファ
- 15   水平リサイズ回路
- 16, 17, 18   ラインメモリ
- 19   垂直リサイズ回路
- 20   メモリコントローラ
- 21   メモリ
- 22   ビデオエンコーダ
- 31   バッファ
- 32   水平リサイズ回路
- 33   ラインメモリ
- 34   垂直リサイズ回路



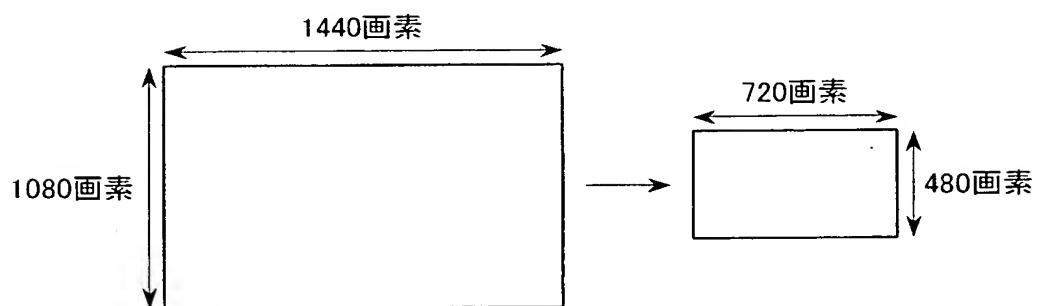
- 35 J P E G デコーダ
- 36 メモリコントローラ
- 37 メモリ

【書類名】 図面

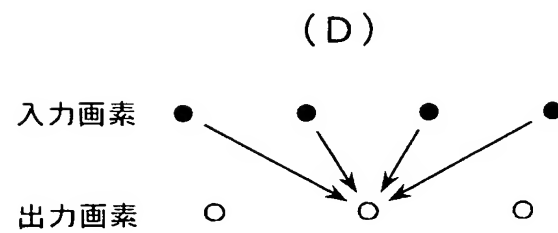
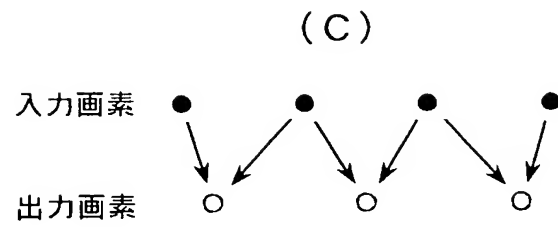
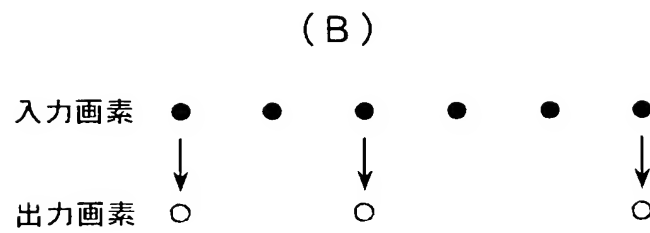
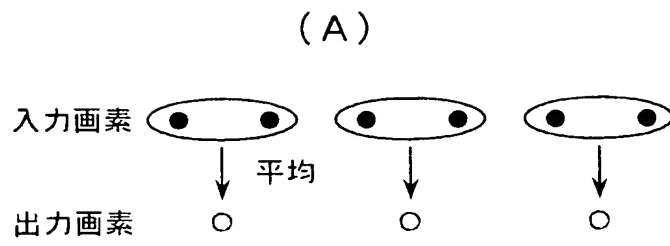
【図 1】



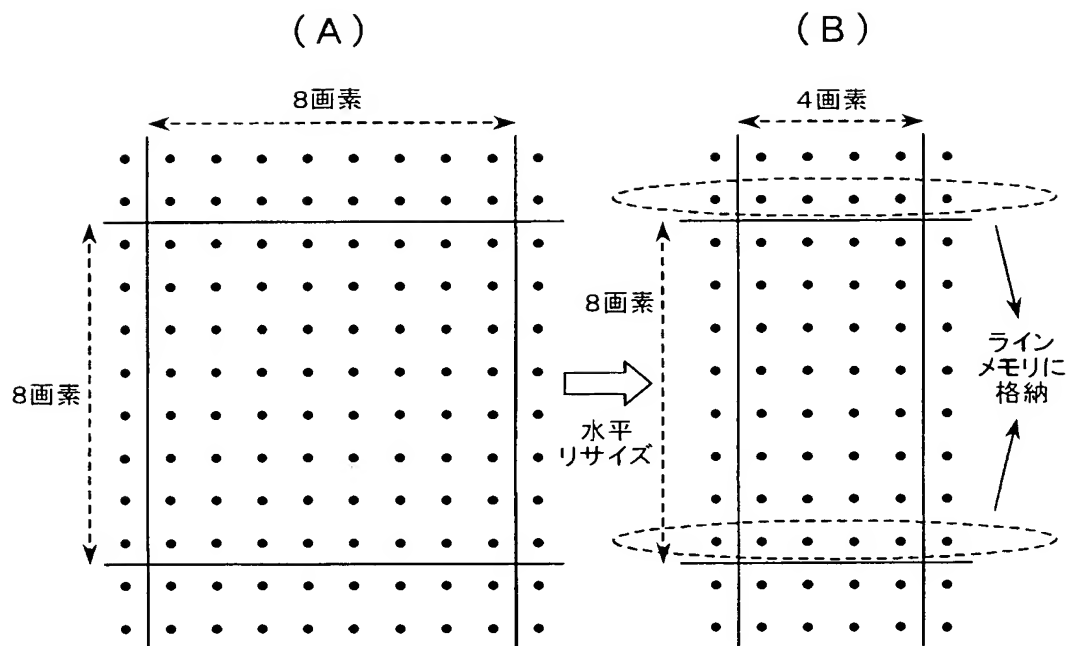
【図 2】



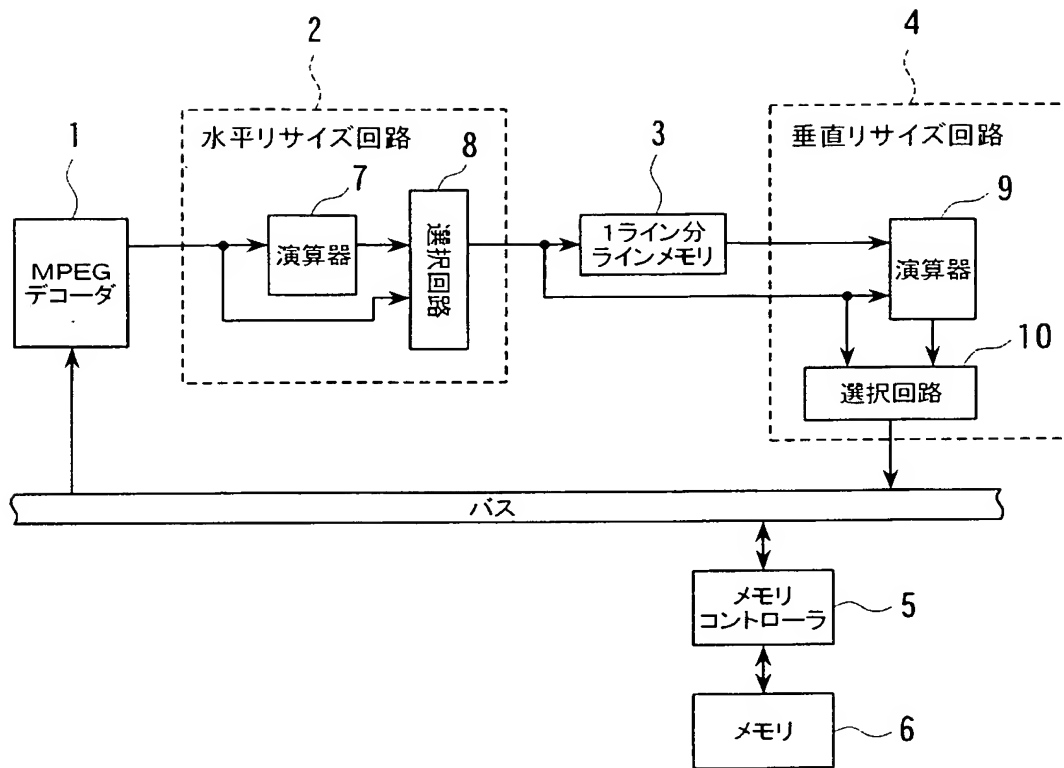
【図 3】



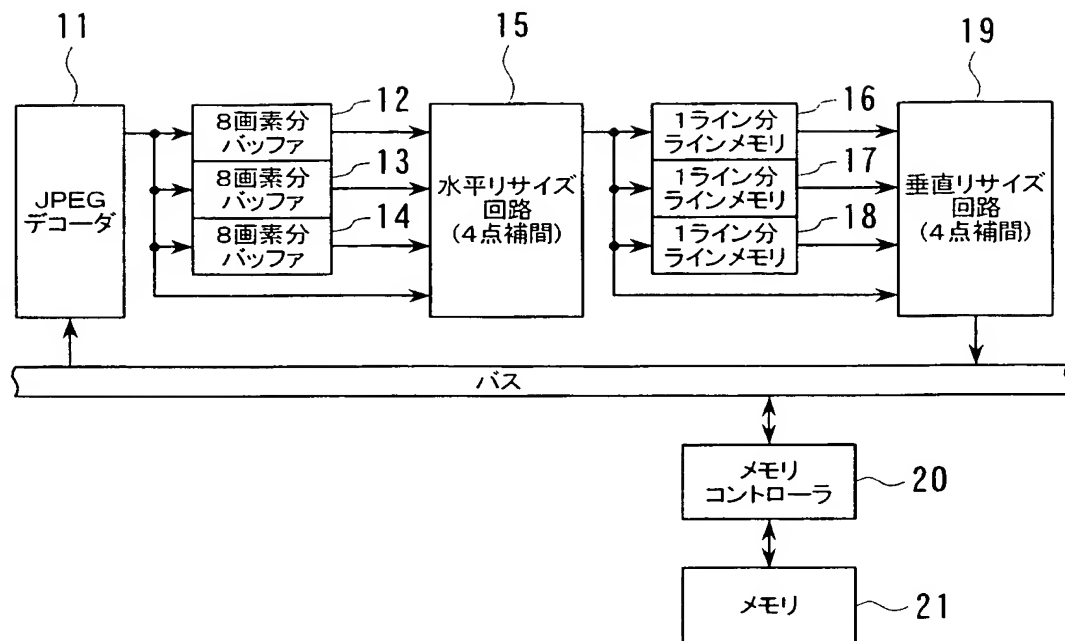
【図 4】



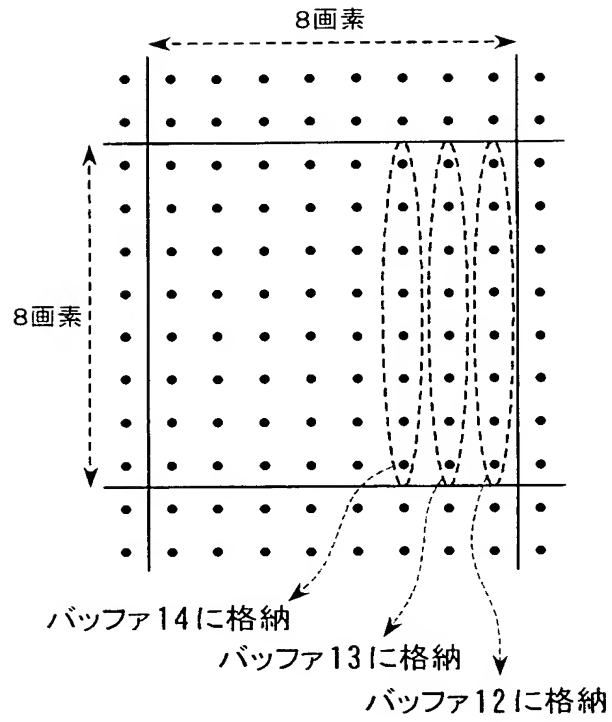
【図5】



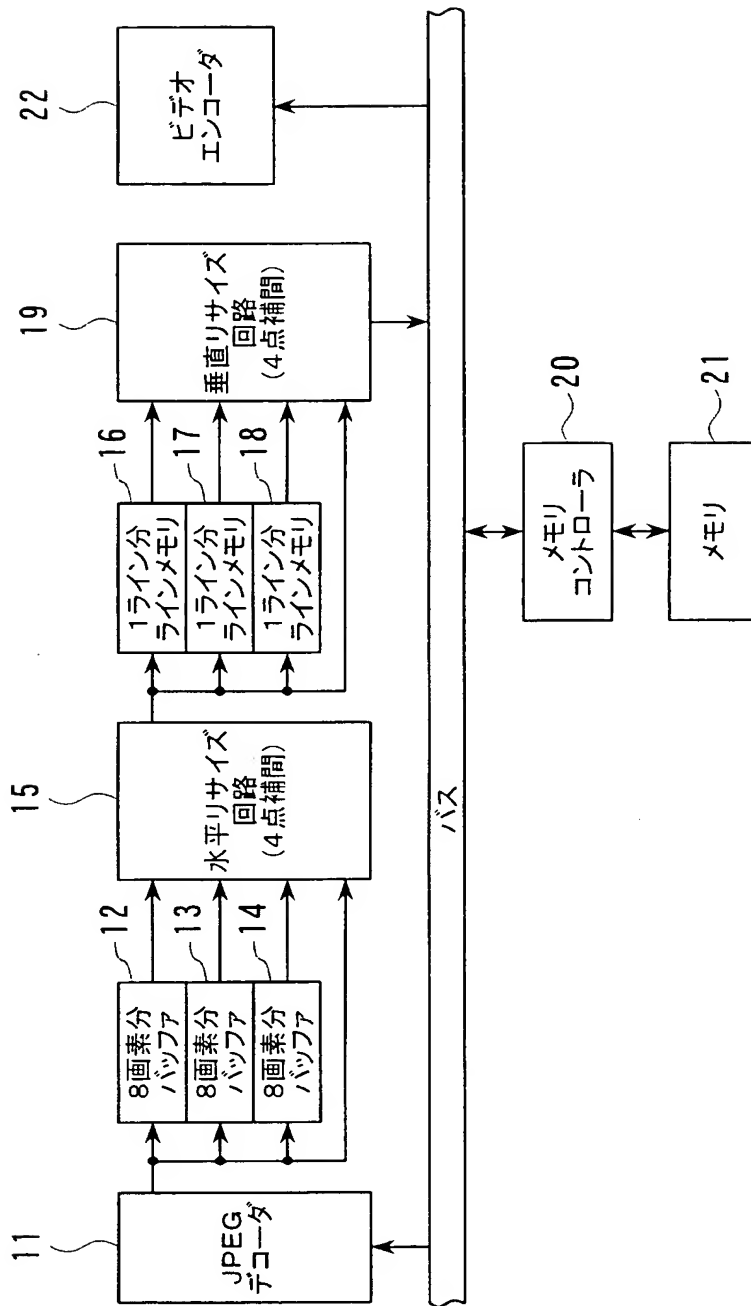
【図 6】



【図 7】

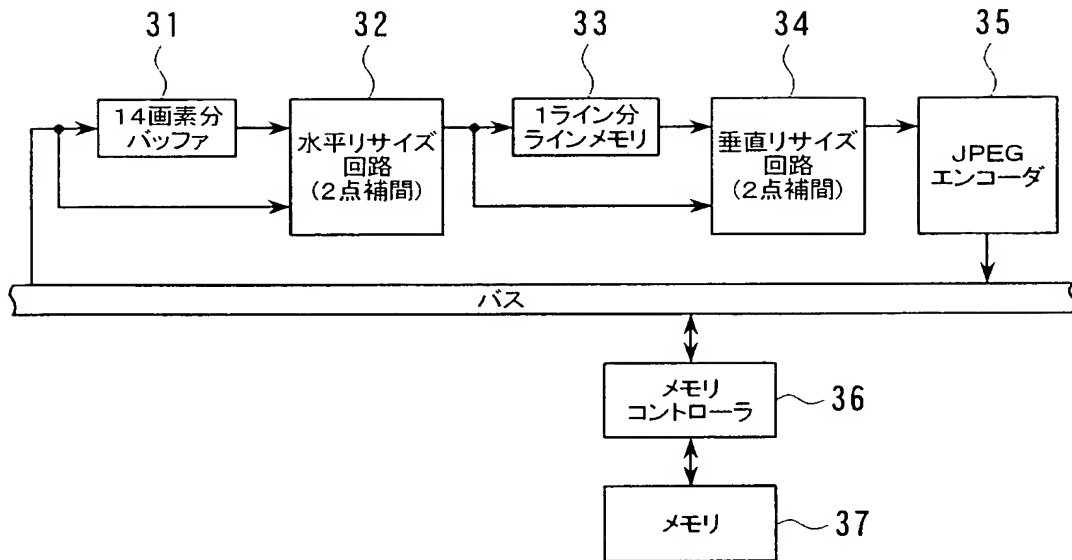


【図 8】

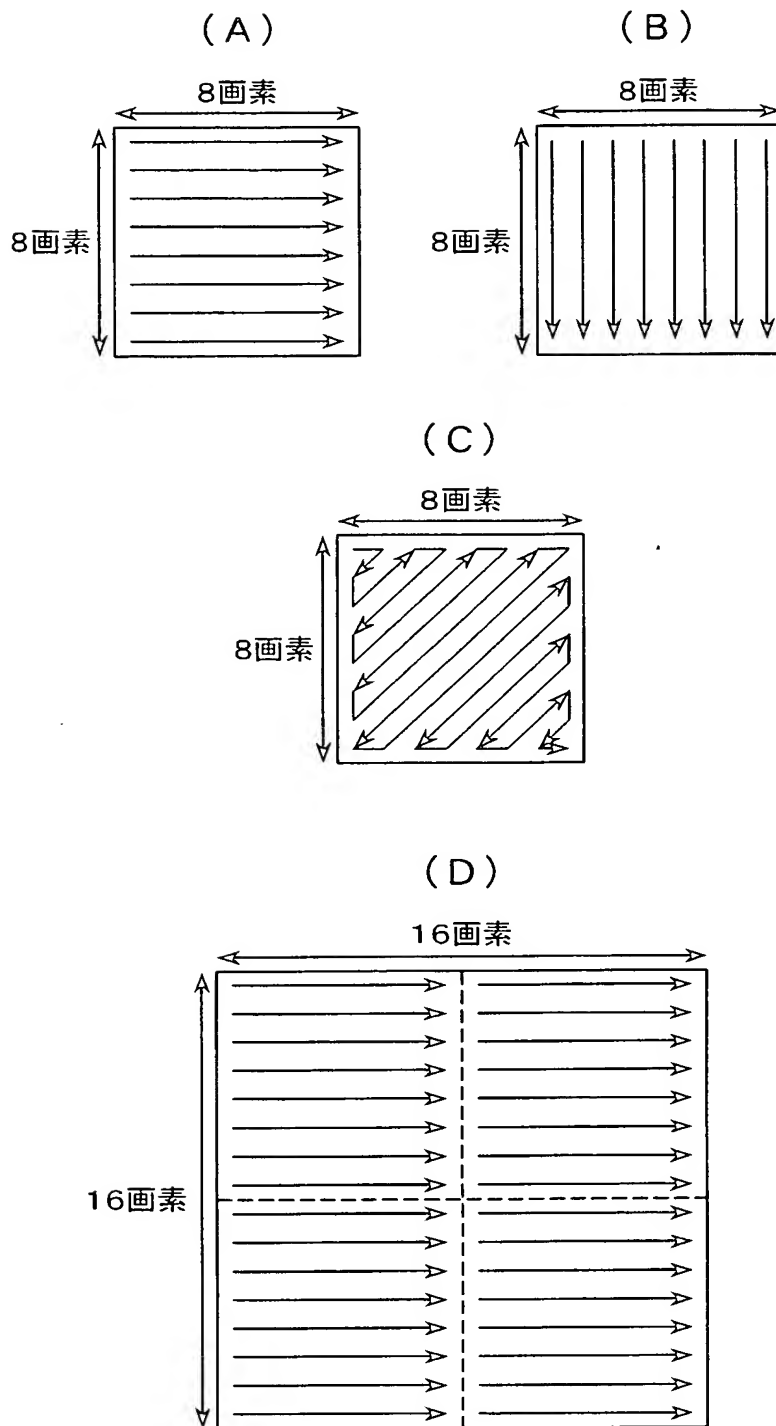




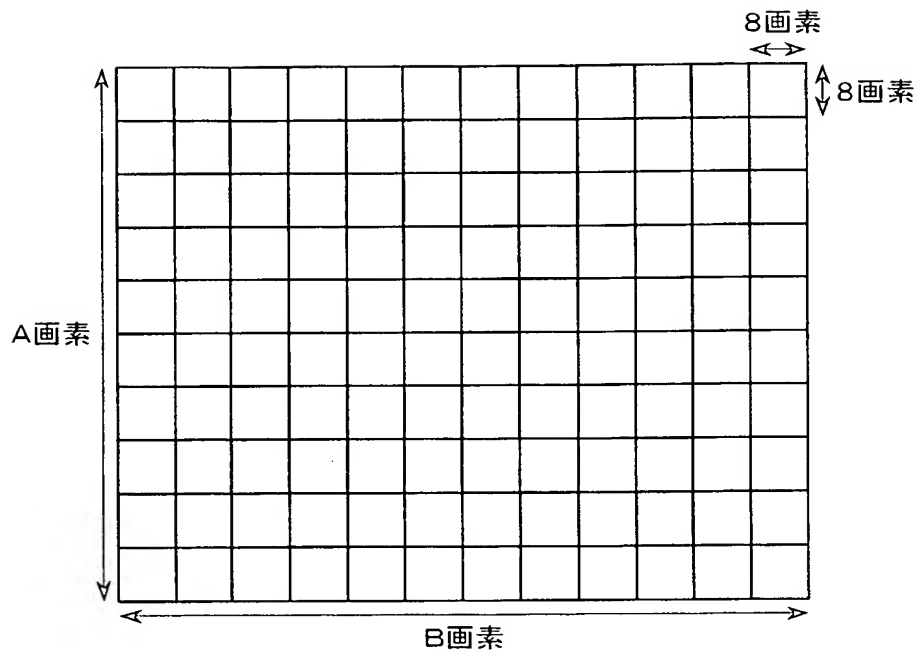
【図 9】



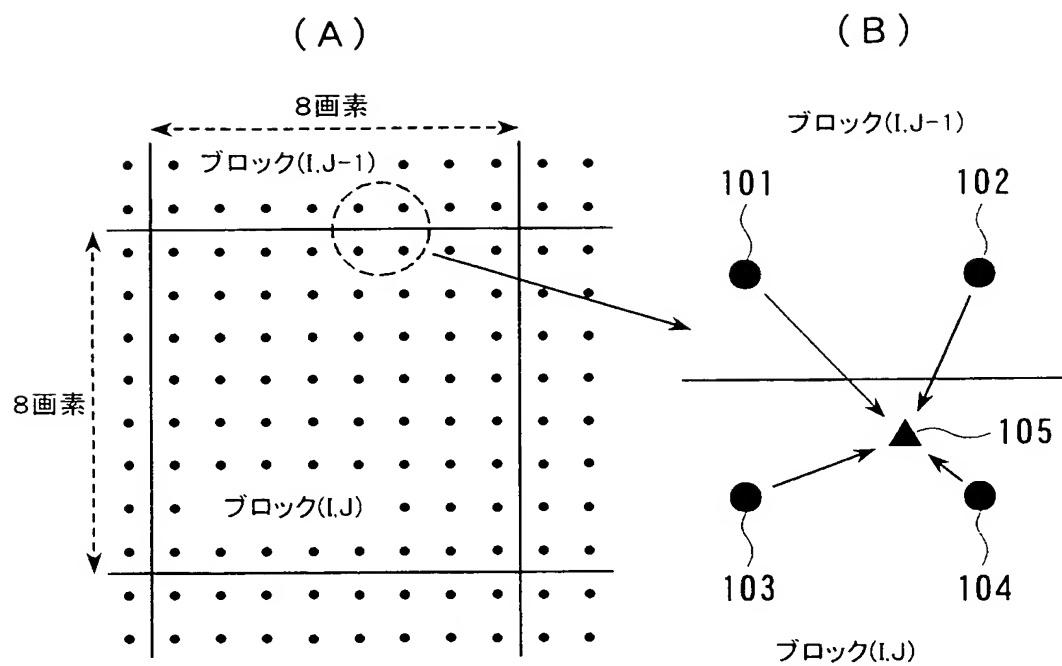
【図 10】



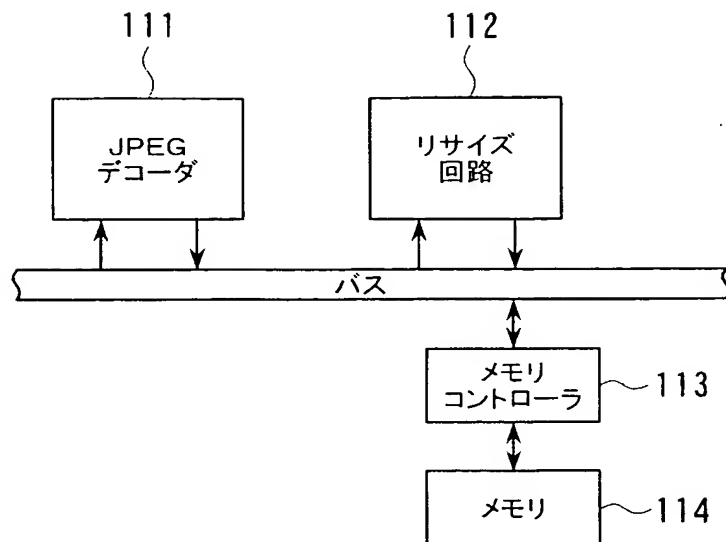
【図 1 1】



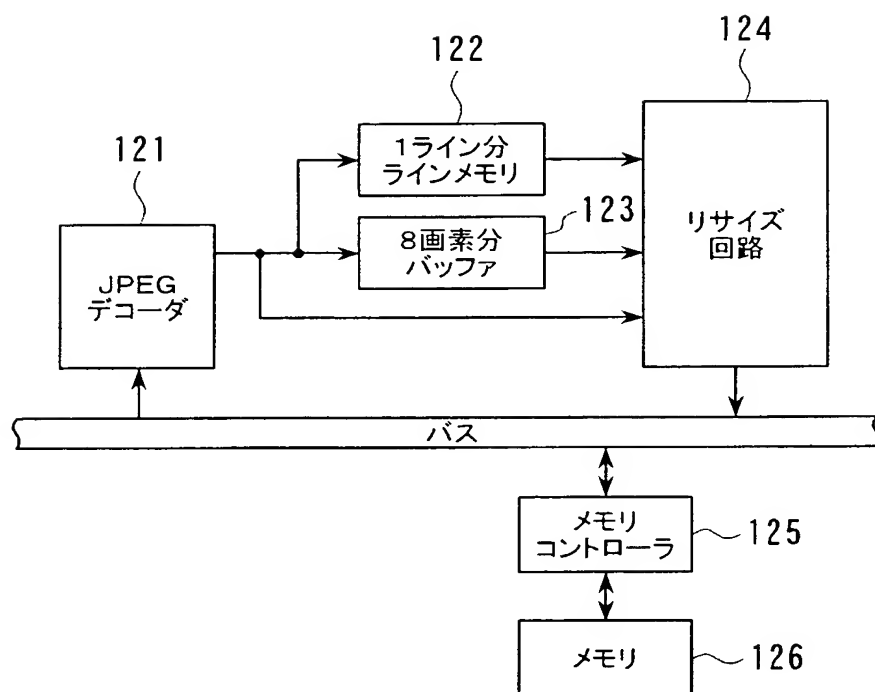
【図 12】



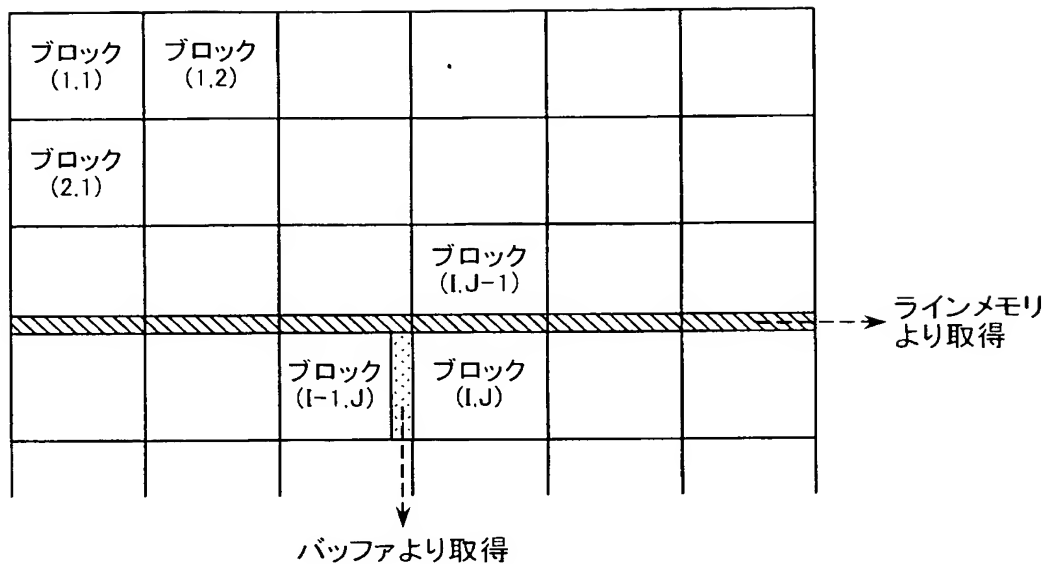
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 ラインメモリの容量を削減することの可能なブロック単位でリサイズ処理を行う画像処理装置を提供する。

【解決手段】 符号データを復号化し、 $8 \times 8$ 画素サイズのブロック単位で画像データを出力するMPEGデコーダ1と、MPEGデコーダからブロック単位で出力された画像データを、水平方向にリサイズ処理する水平リサイズ回路2と、水平リサイズ回路からの出力データのうち、ブロック最下ラインの画像データを格納する1ライン分の容量を有するラインメモリ3と、水平リサイズ回路からの出力データとラインメモリに格納されているデータを用いて、垂直方向にリサイズ処理する垂直リサイズ回路4と、メモリコントローラ5と、メモリ6とを備え、水平方向にリサイズ処理した後の画像データを小容量のラインメモリに格納できるように、画像処理装置を構成する。

【選択図】 図1



特願 2 0 0 3 - 1 1 7 7 8 4

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 0 3 7 6 ]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日  
[変更理由] 新規登録  
住 所 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号  
氏 名 オリnpas 光学工業株式会社
2. 変更年月日 2 0 0 3 年 1 0 月 1 日  
[変更理由] 名称変更  
住 所 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号  
氏 名 オリnpas 株式会社